

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002064163 A**(43) Date of publication of application: **28.02.02**

(51) Int. Cl.

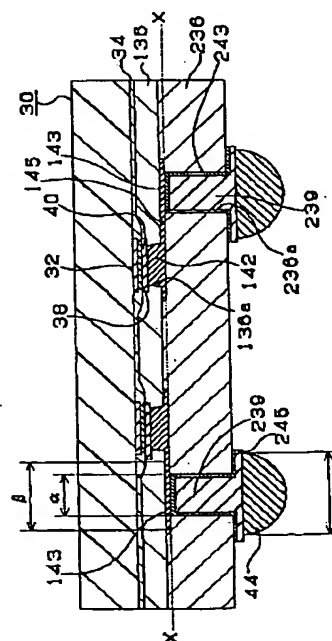
H01L 23/12
H01L 21/60
(21) Application number: **2000249577**(71) Applicant: **IBIDEN CO LTD**(22) Date of filing: **21.08.00**(72) Inventor: **SUGIYAMA SUNAO**(54) **SEMICONDUCTOR CHIP**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip having a wiring for mounting without a disconnection of the wiring.

SOLUTION: A diameter β of a land 143 is made within the range from 1.2 to 15 times the diameter α of a post 239. Since the land diameter is 1.2 or more times the post diameter, the land 143 is not delaminated from a first insulating layer 136 even if the post 239 is pulled by thermal contraction of a second insulating layer 236. The land diameter is 15 or less times the post diameter, so the possibility of delamination between the land 143 and the post 239 can be decreased by enlarging the land diameter.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-64163

(P2002-64163A)

(43)公開日 平成14年2月28日(2002.2.28)

(51)Int.Cl.	識別記号	PI	チーフ・ド(参考)
H01L 23/12	501	H01L 23/12	501P
21/60		21/52	604B

審査請求 未請求 請求項の数 4 OL (全 13 頁)

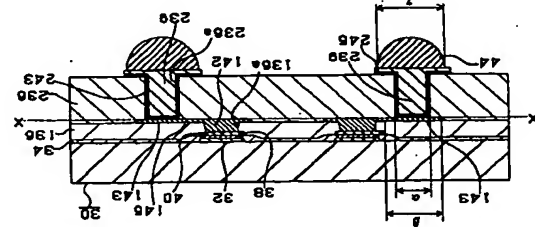
(21)出願番号	2000-249577(P2000-249577)	(71)出願人	000000158 イビデン株式会社 岐阜県大垣市神田町2丁目1番地 杉山 直
(22)出願日	平成12年8月21日(2000.8.21)	(72)発明者	イビデン株式会社大垣北工場内 100095795 井理士 田下 明人 (外1名)

(54) [説明の名] 半導体チップ

(57) [要約]

【課題】 実装用の配線を備え、当該配線に断線の生じない半導体チップを提供する。

【解決手段】 ランド143の径Bを、ポスト239の径αの1.2倍〜1.5倍の範囲にする。ランド径がポスト径の1.2倍以上あるため、第2絶縁層236の熱収縮でポスト239が引っ張られても、ランド143が第1絶縁層136から剥離することはない。一方、ランド径がポスト径の1.5倍以下であるため、ランド径を大きくすることで、ランド143とポスト239との間の剥離の可能性を低減することができる。



【特許請求の範囲】

【請求項1】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続されるランドが形成され、

前記第2の絶縁層には、前記ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記ランド径が、前記ポスト径の1.2倍以上であることを特徴とする半導体チップ。

【請求項2】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成され、該ポスト上に第2ランドが形成され、該第2ランドにバンパが形成された半導体チップであって、

前記バンパ径が、前記ポスト径の1.2倍以上であることを特徴とする半導体チップ。

【請求項3】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続されるランドが形成され、

前記第2の絶縁層には、前記ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成された半導体チップであって、

前記ランド径が、前記ポスト径の1.5倍以上であることを特徴とする半導体チップ。

【請求項4】 半導体チップの電極パッド側の表面に第1の絶縁層と第2の絶縁層とが形成され、

前記第1の絶縁層には、第1の非貫通孔が設けられ、該第1の非貫通孔には、前記電極パッドに接続されたビアが形成され、また、前記第1の絶縁層の表面には当該ビアに接続される第1ランドが形成され、

前記第2の絶縁層には、前記第1ランドへ至る第2の非貫通孔が設けられ、該第2の非貫通孔に銅めっきを充填してなるポストが形成され、該ポスト上に第2ランドが形成され、該第2ランドにバンパが形成された半導体チップであって、

前記バンパ径が、前記ポスト径の1.5倍〜1.55倍の範囲であることを特徴とする半導体チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体チップに關し、特にマザーボード、ドータボード等の外部基板に直接実装できる半導体チップに關するものである。

【0002】

【従来の技術】 図15に従来の技術に係る半導体チップ330及びその実装形態を示す。半導体チップ330のアルミニウム電極パッド332には、ニッケルめっき層334及び金めっき層338を介して、バンパ3310が設けられている。ここで、半導体チップ330は、該バンパ3310を介して、パッケージ3350側の電極パッド352に電気的に接続されている。

【0003】 ところで、半導体チップ330とパッケージ3350とは、熱膨張率が異なるため、両者の間に発生する応力を緩和することが必要であり、図15に示した実装形態においては、半導体チップ330とパッケージ3350との間にアンダーフィル336を配設し、両者を固着させることにより、電気的接続部に断線が生じないように構成されている。

【0004】 しかしながら、近年の半導体チップの高集積化に伴い、半導体チップのバンパが小型化され、上述した実装形態によっても、半導体チップ330とパッケージ3350との間の応力により、小型化された電気的接続部が断線することがあった。

【0005】

【発明が解決しようとする課題】 このような問題点に対し、本出願人は、特開平10-294638にて、図16に示す構成の半導体チップを提案した。この半導体チップでは、半導体チップ430の下面に第1絶縁層436が配設され、該第1絶縁層436に電極パッド432へ接続されたビア442が形成されている。該第1絶縁層436の上層には、第2絶縁層536が形成されている。該第2絶縁層536には、ビア442に接続されたパッド443上に銅めっきポスト439が形成される。該銅めっきポスト439には、バンパ444が配設されている。該半導体チップ430は、バンパ444を介して基板350側のパッド452への接続されている。保る構成では、銅めっきポスト439の弾性により、内部の断線を防いでいる。

【0006】 しかしながら、係る構成においても、熱収縮を繰り返す内に、半導体チップに付加された配線で断線が発生していた。

【0007】 本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、実装用の配線を備え、当該配線に断線の生じない半導体チップを提供することにある。

【0008】

【課題を解決するための手段】 本発明者は、内部断線の

硬化性のエポキシ樹脂又はポリイミド樹脂を充填する。
その後、加熱して、封非貫通孔236a内に弾性樹脂235を形成する。半導体チップ30を無電解めっき液に浸漬し、無電解めっき膜245aを析出させることにより、弾性樹脂235から成るポスト239を形成する。その後、工程(1)に示すように無電解めっき膜245a、無電解めっき膜243aをエッチングで除去することによってポスト239の開口に蓋めっき(ランド)245を形成する。ここで、該ポスト239に充填された弾性樹脂235は、上述したように銅ファイラを含むため、容易に蓋めっき(ランド)245を形成することができ、

る。
[0045] 図11の工程(K)にて、ソルダーレシスト47を形成した後、ランド245の表面にバンブ(突起部)44を形成する。このバンブの高さとして、3~60 μ mが望ましい。この理由は、3 μ m未満では、バンブの変形により、バンブの高さのばらつきを許容することができず、また、60 μ mを超えると、バンブが溶融した際に横方向に広がってショートの原因となる。

[図面の簡単な説明]

[図1] 本発明の第1実施形態に係る半導体チップの断面図である。
[図2] 本発明の第1実施形態に係る半導体チップの断面図である。
[図3] 第1実施形態に係る半導体チップの製造工程図である。
[図4] 第1実施形態に係る半導体チップの製造工程図である。
[図5] 第1実施形態に係る半導体チップの製造工程図である。
[図6] 第1実施形態に係る半導体チップの製造工程図である。
[図7] 図1に示す半導体チップのX-Y断面図である。
[図8] 本発明の第2実施形態に係る半導体チップの断面図である。
[図9] 第2実施形態に係る半導体チップの製造工程図である。
[図10] 第2実施形態に係る半導体チップの製造工程図である。
[図11] 第2実施形態に係る半導体チップの製造工程図である。
[図12] 第1実施形態に係る半導体チップの断接発生を示す図である。
[図13] 第2実施形態に係る半導体チップの断接発生を示す図である。
[図14] 第2実施形態に係る半導体チップの断接発生を示す図である。
[図15] 従来技術に係る半導体チップの断面図であ

体チップ30に対して後述する工程でバンブを形成する。
[0038] ここで、先ず、図9の工程(B)に示すように、アルミニウム電極パッド32の表面にニッケルめっき層38を析出させる。なお、このニッケルめっき層を形成する工程は省略しても後述する場合めっき層をアルミニウム電極パッド32に直接形成することも可能である。

[0040] そして、図9の工程(D)に示すように、該半導体チップ30を、ニッケル-銅の複合めっき液に浸漬し、ニッケルめっき層38の上に0.01~5 μ mのニッケル-銅の複合めっき層40を形成する。この複合めっき層をニッケルが1~60重量%、残部を主として銅とすること、アルミニウム電極パッド32に銅めっき層を形成できるようにする。また、複合めっき層の厚さを0.01 μ m以上にすることで、表面に銅めっきを形成することが可能になる。他方、5 μ m以下にすることで、短時間で析出することができ、

[0041] 図10の工程(E)に示すように、絶縁樹脂を塗布する。ここで、第1実施形態と同様に、感光性のエポキシ樹脂やポリイミド樹脂を使用することができ、次に、図10の工程(F)に示すようにフォトリソグラフィ処理により非貫通孔136aを形成する。そして、さらに、加熱処理してアルミニウム電極パッド32に至る非貫通孔136aを有する第1絶縁層136を形成する。なお、上述した第1絶縁層136は、複合層が半導体チップ30に比較して軟質になるようにすることが好ましい。

[0042] 次に、図10の工程(G)に示すように、非貫通孔136a内に銅めっきを充填してビア142を形成すると共に、第1絶縁層136上に形成したビア143を形成する。これは、無電解めっきにより形成することにより、弾性樹脂のエポキシ樹脂を塗布して、乾燥処理を行った後、図11の工程(H)に示すようにレーザにより非貫通孔を穿設し、加熱することにより非貫通孔36aを有する第2絶縁層236を形成する。
[0044] 次に、図11の工程(I)に示すように、第2絶縁層236の表面に無電解めっき243aを形成し、非貫通孔236a内に、銅ファイラを添加された熱

[0028] 次に、図6の工程(O)に示すように、銅めっきポスト239の上に半田めっきにより析出し、半田バンブ44を形成する。本実施形態では、PETフィルム(レジスト)244を用いるため、マスクが不要となり、半田バンブを露露に形成することができ、ここでは、半田めっきを用いたが、この代わりに半田印刷を用いることもできる。なお、バンブの高さとしては、3~60 μ mが望ましい。この理由は、3 μ m未満では、バンブの変形により、バンブの高さのばらつきを許容することができず、また、60 μ mを超えると、バンブが溶融した際に横方向に広がってショートの原因となる。

[0029] 最後に、図6の工程(P)に示すように、レジスト244を除去した後、レジスト下の無電解めっき膜243をライトエッチングにより剥離することによってバンブ形成を完了する。

[0030] 半導体チップ30のバンブ44と基板50のパッド52が対応するように、半導体チップ30を載置させて、リフローすることにより、図2に示すように半導体チップ30を基板50に取り付ける。

[0031] 引き続き、本発明の第2実施形態に係る半導体チップについて図を参照して説明する。図8は本発明の第2実施形態に係る半導体チップを示している。半導体チップ30の下面には、パッシベーション膜34の開口にシランコート処理されたアルミニウム電極パッド32が形成されている。本実施形態では、パッシベーション膜34の下面に、第1絶縁層136が配設され、第1絶縁層136には、該アルミニウム電極パッド32に至るテーパー状に広がった非貫通孔136aが形成されている。そして、該非貫通孔136aの底部のアルミニウム電極パッド32には、ニッケルめっき層38、ニッケルと銅との複合めっき層40を介在させて、銅めっきを充填してなるビア142が形成されている。ビア142と共に、導体回路145及びパッド143が形成されている。

[0032] 第1絶縁層136の上には、弾性樹脂235の充填されて成るポスト239の形成された第2絶縁層236が配設されている。該ポスト239の内部には、充填された弾性樹脂235は、銅ファイラを含め、当該ポスト239の開口には無電解めっきからなる突起部245(ランド)245が形成されている。そして、該ランド245には、半田等の低融点金属からなる突起部30(パッド)44が配設されている。該半導体チップ30は、突起部30(パッド)44を介して基板50側のパッド52との接続されている。

[0033] ここで、第2絶縁層236の厚さ(H)、及び、ポスト239の高さは5~250 μ mに形成されている。一方、ポスト239の直径は20 μ m~300 μ mに形成されている。ここで、半導体チップ30と基板50の熱膨張率は異なり、半導体チップ30の動作時

に発生する熱により、半導体チップ30と基板50との間に応力が発生するが、可塑性を有する第2絶縁層236及び内部に弾性を有する樹脂235の充填されたポスト239によって応力を吸収できるため、電気的接続部にクラックを発生させることがなく、半導体チップ30と基板50との間に高い接続信頼性を与えている。
[0034] なお、第2絶縁層236の厚さは5 μ m以上が好ましい。これは、5 μ m以下では、十分に応力を吸収することができないからである。他方、厚さは250 μ m以下であることが望ましい。これは、250 μ mより厚いと、半導体チップ30と基板50との接続信頼性が低下するからである。

[0035] 第2実施形態の半導体チップでは、第1絶縁層136上に形成されたランド143の径 β を、ポスト239のランド143へ接続された部分の径 α の1.5倍以上にする。図13中の図表に、ポスト径に対してランド径を異ならしめた際のランド143が第1絶縁層136から剥離する確率、及び、ランド143からポスト239が剥離する確率(シミュレーション結果)を示す。図表からランド143の径 β をポスト239の径 α の1.5倍以上にすることで、第2絶縁層236の熱収縮でポスト239が引つ張られても、ランド239が第1絶縁層136から剥離することを無くし得ることが分かる。

[0036] 一方、図14中の図表に、ポスト径に対してバンブ径を異ならしめた際のバンブ44がポスト239から剥離する確率(シミュレーション結果)を示す。この結果から、第2実施形態の半導体チップでは、バンブ44の径 γ をポスト239の径 α の1.5倍以上にすることで、第2絶縁層236の熱収縮でポスト239が引つ張られても、バンブ44がポスト239から剥離することを無くし得ることが分かる。一方、第2実施形態の半導体チップでは、ポスト239とバンブ44の距離のみでは無く、樹脂235と金属膜(ランド)245との間でも剥離が発生している。ここで、樹脂235とランド245との間の剥離は、図14の図表からバンブ径を大きくすることで、発生確率が低減されることが分かる。しかしながら、バンブ径をポストの1.5倍を超えて大きくしても、発生率は低下しない。これに対して、バンブ径、即ち、ランド245を必要以上に大きくすると、半導体チップの集積度が低下することになる。このため、バンブ径はポスト径の1.5倍以上であることが望ましい。なお、図13、図14では、ポスト径を20 μ mとした際のシミュレーション結果を示しているが、ポスト径を20 μ mから300 μ mまで変えても同様な傾向を有する。

[0037] 引き続き、図9~図11を参照して第2実施形態に係る半導体チップ30の製造方法について説明する。図9の工程(A)に示すパッシベーション膜34の開口にアルミニウム電極パッド32が形成された半導

【図16】先行技術に係る半導体チップの断面図であ

2

【符号の説明】

30 半導体チップ

32 アルミニウム電極パッド

34 パッシブ・シヨン度

38 ニッゲルめつき

40 組合めつき図

44 米田バンブー

50 基板

52 バッド

136 第1绝缘层

136 a 第1非貫通孔

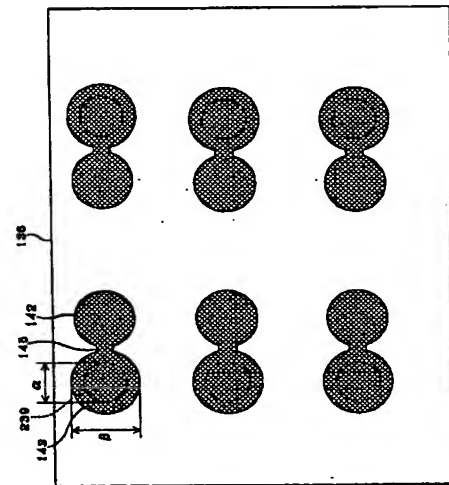
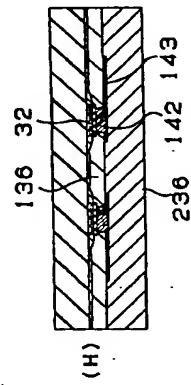
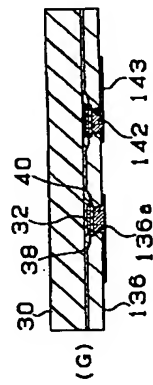
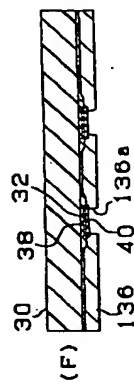
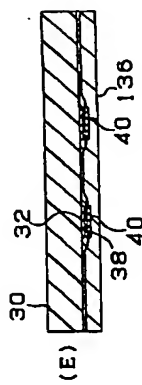
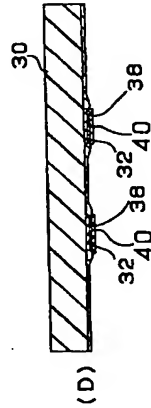
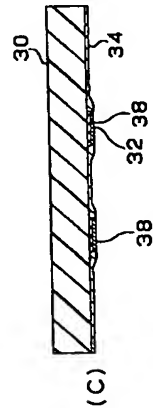
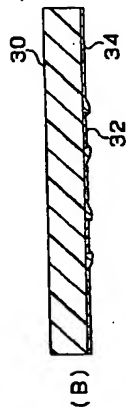
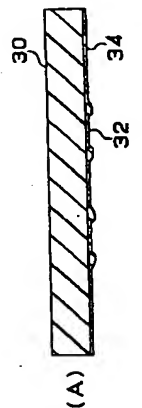
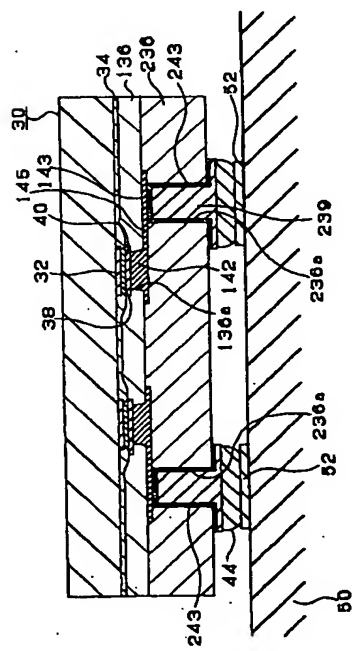
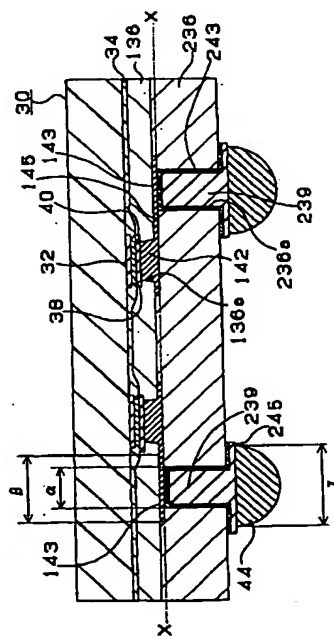
142 27

143 ランド

236 第2绝缘层

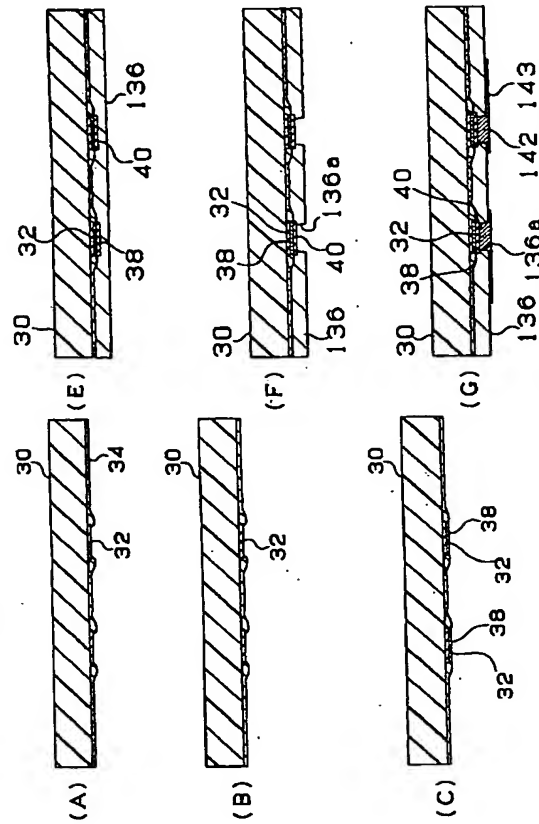
2.3.6 a 第2非重通孔

239 ホスト



(10)

【図9】



【図10】

第2実施形態の比較表

ポスト値 (μm)	ランド径 (μm)	比率	絶縁層厚減率 (%)
20	24	1.2	9
	26	1.3	4
	28	1.4	2
	30	1.5	0
	32	1.6	0
	100	5	0
	200	10	0

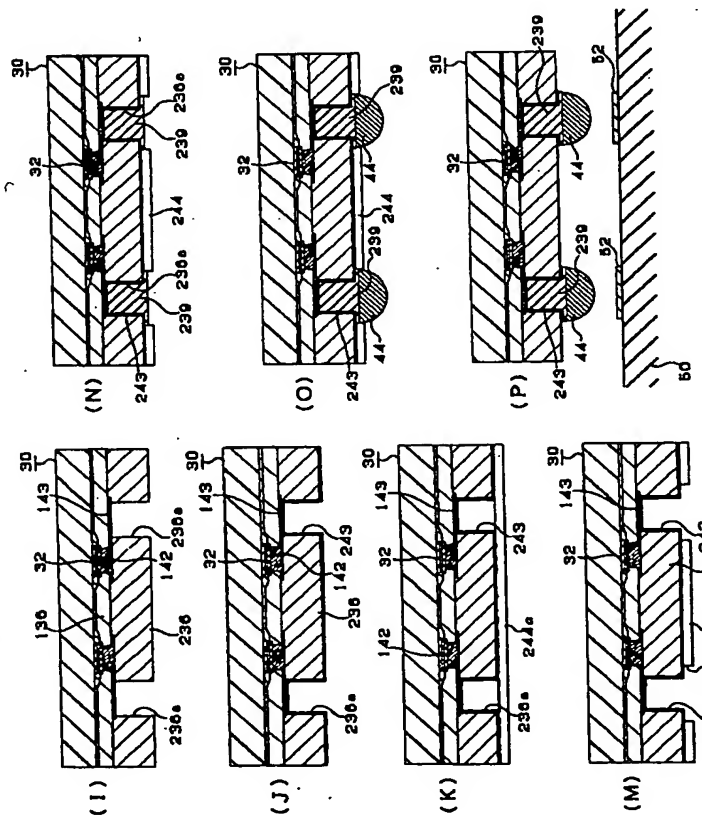
【図11】

第2実施形態の比較表

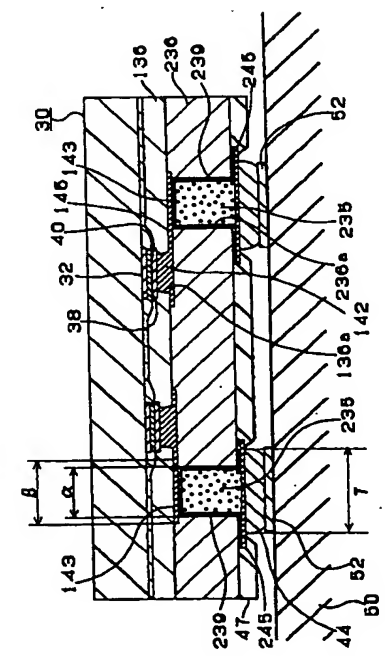
ポスト値 (μm)	ランド径 (μm)	比率	絶縁層厚減率 (%)	絶縁・ランド厚減率 (%)
20	24	1.2	9	18
	26	1.3	4	17
	28	1.4	3	18
	30	1.5	0	16
	32	1.6	0	16
	100	5	0	12
	200	10	0	10
	200	18	0	4
	280	14	0	4
	300	15	0	3
	320	16	0	3
	340	17	0	2
	360	18	0	3
	380	19	0	3

(9)

【図5】

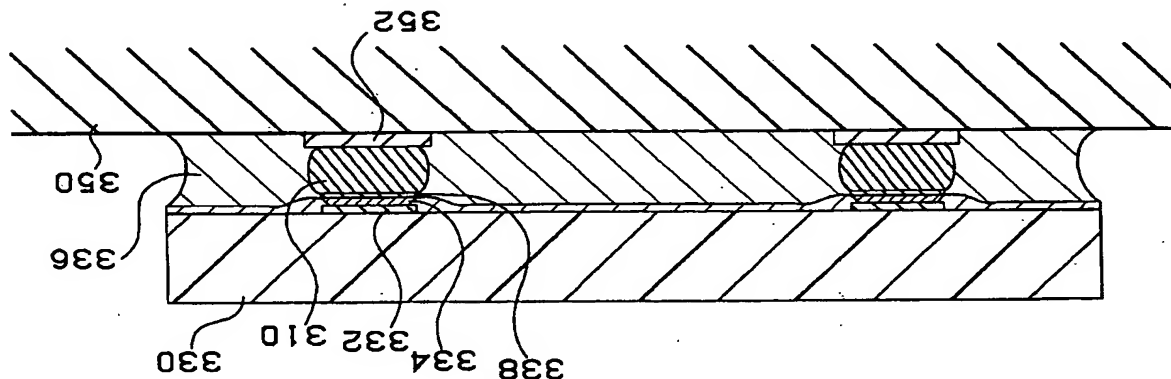


【図8】



(12)

【図15】



(11)

【図12】

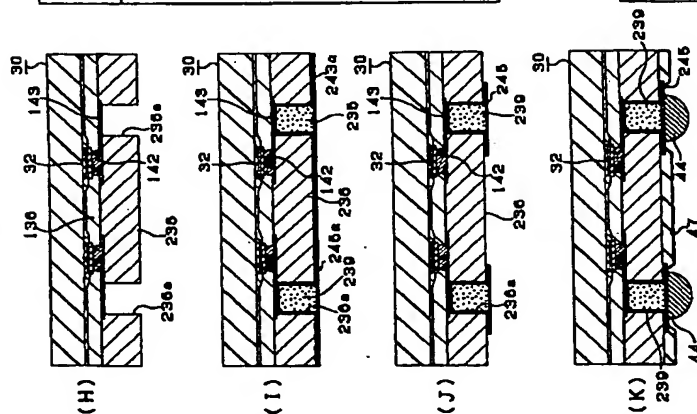
第1実施形態の比較表 (A)

ポスト径 (μ m)	ランド径 (μ m)	比率	絶縁層剥離率 (%)
20	20	1.0	9
	22	1.1	4
	24	1.2	0
	26	1.3	0
	28	1.4	0
	100	5	0
	200	10	0

第1実施形態の比較表 (B)

ポスト径 (μ m)	パンブ径 (μ m)	比率	絶縁層剥離率 (%)
20	20	1.0	9
	22	1.1	4
	24	1.2	0
	26	1.3	0
	28	1.4	0
	30	1.5	0

【図11】



【図16】

